

KR-1999
- 0082838A

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-287841

(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

G01R 31/26
H01L 21/66
// B65G 47/51

(21)Application number : 10-105576

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 01.04.1998

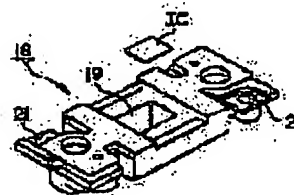
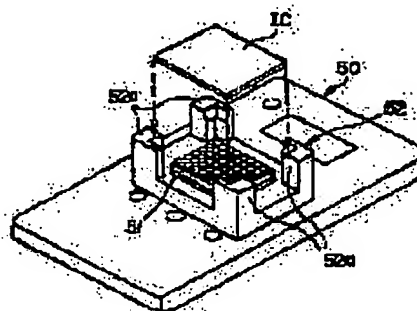
(72)Inventor : SAITO NOBORU

(54) IC TESTER

(57)Abstract:

PROBLEM TO BE SOLVED: To improve accuracy of positioning to the contact part of IC to be tested, by providing the contact part of a test head, with a guide means contacting the IC to be tested, and positioning it.

SOLUTION: To a socket (contact part) 50 of a test head provided with a contact pin 51, a device guide (guide means) 52 is provided. This device guide 52 is formed by wall parts 52a having taper parts guiding the 4 corners of an IC to be tested and notches between the wall parts 52a and is contained in the IC container 19 of the insert 16 loaded on a test tray as holding the IC to be tested. At this moment, the package mold outer surface of the IC to be tested is regulated, and thus, the accuracy of positioning the input/output terminals of the IC to be tested against the contact pin 51 is remarkably improved. By this, damage of the input/output terminals by the contact part can be prevented.



LEGAL STATUS

[Date of request for examination] 14.09.2004

[Date of sending the examiner's decision of rejection] 14.03.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2006-06974

[Date of requesting appeal against examiner's decision of rejection] 13.04.2006

[Date of extinction of right]

Best Available Copy

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G01R 31/26

(11) 공개번호 특1999-0082838
(43) 공개일자 1999년11월25일

(21) 출원번호	10-1999-0011454
(22) 출원일자	1999년04월01일
(30) 우선권주장	98-105576 1998년04월01일 일본(JP) ← 後出特許
(71) 출원인	가부시키가이샤 에드벤티스트
(72) 발명자	일본국 도쿄도 네리마구 아사히초 1초메 32번1고 사이토노보루
(74) 대리인	일본국도쿄도네리마구아사히초1초메32번1고가부시키가이샤에드벤티스트내 김연수, 이철수
특사청구 : 없음	
(54) 발명명의	

요약

본 발명은 피시험 IC의 접속부와의 위치결정 정밀도가 우수한 IC 시험 장치를 제공하고자 하는 것이다. 이를 위해, 본 발명은, 피시험 IC의 입출력 단자, 예를 테스트 트레이에 탑재된 상태에서, 테스트 헤드의 접촉 핀(51)에 접촉시켜 테스트를 행하는 IC 시험 장치에 있어서, 소켓(50) 또는 소켓 가이드(40)에 피시험 IC를 접속하고 이것을 위치 결정하는 디바이스 가이드(52)를 설치하여 구성된다.

도면

도1

발명

도면의 간단한 설명

- 도 1은 본 발명의 IC 시험 장치의 제1 실시 형태를 도시한 사시도이다.
- 도 2는 도 1의 시험 장치에 있어서, 피시험 IC의 처리 방법을 도시한 트레이의 흐름도이다.
- 도 3은 도 1의 IC 시험 장치의 IC 스톱퍼의 구조를 도시한 사시도이다.
- 도 4는 도 1의 IC 시험 장치에서 사용되는커스터머 트레이를 도시한 사시도이다.
- 도 5는 도 1의 IC 시험 장치에서 사용되는 테스트 트레이를 도시한 일부 분해 사시도이다.
- 도 6은 도 1의 테스트 헤드에 있어서 푸셔(pusher), 인서트(테스트 트레이), 소켓 가이드 및 접촉 핀(소켓)의 구조를 도시한 분해 사시도이다.
- 도 7은 도 6의 부분을 확대한 사시도이다.
- 도 8은 도 1의 테스트 헤드에 있어서 푸셔, 인서트(테스트 트레이), 소켓 가이드 및 접촉 핀(소켓)의 또 다른 구조를 도시한 분해 사시도이다.
- 도 9는 도 8의 부분을 확대한 사시도이다.
- 도 10은 도 6 및 도 8의 단면도이다.

도 11은 도 10의 테스트 헤드에 있어서 푸셔가 하강한 상태를 도시한 단면도이다.

도 12는 일반적인 접촉 핀(소켓)을 도시한 사시도이다.

도 13은 IC의 풀 단자와 접촉 핀의 접촉 상태를 도시한 주요부 단면도이다.

※도면의 주요 부분에 대한 부호의 설명※

IC ... 피시험 IC	PM ... 패키지 몸드
HB ... 램납 블록(압출력 단자)	1 ... IC 시험 장치
100 ... 램버부	101 ... 향온조
102 ... 테스트 램버	103 ... 제열조(除熱槽)
104 ... 테스트 헤드	30 ... 푸셔(pusher)
31 ... 삽입자(押押子)	32 ... 가이드 핀
33 ... 스톱퍼 가이드	40 ... 소켓 가이드(접촉부)
41 ... 가이드 부시(bush)	42 ... 스톱퍼 먼
50 ... 소켓(접촉부)	51 ... 접촉 핀
51a ... 램주 형상 오목부	52 ... 디바이스 가이드(가이드 수단)
52a ... 벽부	105 ... 장치 기판
108 ... 테스트 트레이 반송장치	200 ... IC 격납부
201 ... 시험전 IC 스톱퍼(stopper)	202 ... 시험 종료 IC 스톱퍼
203 ... 트레이 지지 틀	204 ... 승강기
205 ... 트레이 미송 압	300 ... 로더부
304 ... X-Y 반송 장치	301 ... 램일
302 ... 가동 압	303 ... 가동 헤드
305 ... 프리사이저(preciser)	306 ... 향부(嚮部)
400 ... 언로더(unloader)부	401 ... 레일
402 ... 가동압	403 ... 가동 헤드
404 ... X-Y 반송 장치	405 ... 버퍼부
406 ... 향부	KST ... 커스터머(customer) 트레이
TST ... 테스트 트레이	12 ... 사각형 프레임
13 ... 삼	14 ... 장축핀
15 ... 인서트(insert) 수납부	16 ... 인서트
17 ... 잠금개(fastener)	18 ... 단자 핀
19 ... IC 수용부	20 ... 가이드 구멍
21 ... 장축용 구멍	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적회로소자(Die, IC라 함)를 테스트하기 위한 IC 시험 장치에 관한 것으로, 특히 피시험 IC의 접촉부로의 위치결정 정밀도가 우수한 IC 시험장치에 관한 것이다.

핸들러(handler)라고 하는 IC 시험장치에서는 트레이에 수납된 복수의 IC를

시험장치 내에 반송하고, 각 IC를 테스트 헤드에 전기적으로 접촉시켜, IC시험장치 본체(이하, 테스트라 함)에서 시험을 행한다. 그리고, 시험을 종료하면 각 IC를 테스트 헤드로부터 반출하여, 시험결과에 따라 트레이에 옮겨 실음으로써, 양품이나 불량품이라는 범주의 구분이 행해진다.

종래의 IC 시험장치로서는 시험전의 IC를 수납하거나 시험 종료 IC를 수납하기 위한 트레이(이하, 커스터머(customer)트레이라 함)와, IC시험장치 내를 순환반송시키는 트레이(이하, 테스트 트레이라 함)를 서로 다른 유닛을 사용하는 것이 있다. 이러한 종류의 IC시험장치에서는, 시험 전후에는 커스터머 트레이와 테스트 트레이 간에서 IC를 옮겨 실고, IC를 테스트 헤드에 접촉시켜 테스트를 행하는 테스트 공정에서는

현하게 동작하는지의 여부다. 시험(검사)하고, 상기 시험결과에 따라 IC를 분류하는 장치이다. 이러한 온도 스트레스도 기반 상태에서의 동작 테스트는, 시험 대상이 되는 피시험 IC가 다수 탑재된 트레이(이하; 커스터머 트레이(KST)라 함, 도 4 참조)로부터, 상기 IC 시험장치(1) 내를 반송하는 테스트 트레이(TST)(도 5 참조)에 피시험 IC를 옮겨 심은 상태에서 실시된다.

이 때문에, 본 실시형태의 IC 시험장치(1)는 도 1 및 도 2에 도시한 바와 같이, 시험을 행한 피시험 IC 5 격납하고, 또한 시험 종료 IC를 분류하여 격납하는 IC 격납부(200)와, IC 격납부(200)로부터 전달받은 피시험 IC를 멤버부(100)로 전달하는 로더부(300)와, 테스트 헤드 포함하는 멤버부(100)와, 멤버부(100)에서 시험이 행해진 시험종료된 IC를 분류하여 꺼내는 언로더부(unloader)(400)로 구성되어 있다.

IC 격납부(200)

IC 격납부(200)에는 시험 전의 피시험 IC를 격납하는 시험전 IC 스토커(201)와, 시험 결과에 따라 분류된 IC 피시험 IC를 격납하는 시험종료 IC 스토커(202)가 설치되어 있다.

이들 시험전 IC 스토커(201) 및 시험종료 IC 스토커(202)는 도 3에 도시한 바와 같이, 들릴상의 트레이 지지대(203)과, 이 트레이 지지대(203)의 하부로부터 결합하여 상부를 향하여 승강 가능하게 된 승강기(204)를 구비하여 구성되어 있다. 트레이 지지대(203)에는 커스터머 트레이(KST)가 특수하게 걸쳐 쌓여 지지되고, 이 걸쳐 쌓인 커스터머 트레이(KST)만이 승강기(204)에 의해 상하로 이동된다.

그리고, 시험전 IC 스토커(201)에는 시험이 행해진 피시험 IC가 격납된 커스터머 트레이(KST)가 적층되어 유지되는 한편, 시험종료 IC 스토커(202)에는 시험을 종료한 피시험 IC가 적층하여 선택 분류된 커스터머 트레이(KST)가 적층되어 유지되어 있다.

또한, 이들 시험전 IC 스토커(201)와 시험종료 IC 스토커(202)는 동일한 구조로 되어 있으므로, 시험전 IC 스토커(201)와 시험종료 IC 스토커(202) 각각의 수급 필요에 따라 적층하여 선택한 수로 선택할 수 있다.

도 1 및 도 2에 도시한 예에서는 시험전 스토커(201)에 2개의 스토커(STK-8)를 설치하고, 또한 이에 인접하여 언로더부(400)로 보내지는 광(202) 스토커(STK-F)를 2개 설치함과 동시에, 시험종료 IC 스토커(202)에 8개의 스토커(STK-1, STK-2, ..., STK-8)를 설치하여 시험결과에 따라 최대 8개 분류로 구분하여 격납할 수 있도록 구성되어 있다. 즉, 양측과 결합할 구별 외에, 양측 중에서도 동작속도가 고속인 것, 저속인 것, 혹은 불량 중에서도 재시험이 필요한 것 등으로 구분된다.

로더부(300)

상승한 커스터머 트레이(KST)는 IC 격납부(200)와 장치 기관(105) 사이에 설치된 트레이 미송 암(205)에 의해 로더부(300)의 상부(306)에 장치 기관(105)의 하부로부터 운반된다. 그리고, 이 로더부(300)에 커스터머 트레이(KST)에 적층된 피시험 IC를 X-Y 반송장치(304)에 의해 일단 프라사이저(305)(preciser)로 미송하고, 여기서 피시험 IC의 상호 위치를 수정한 후, 또 이 프라사이저(305)에 미송된 피시험 IC를 제자 X-Y 반송장치(304)를 사용하여, 로더부(300)에 정지되어 있는 테스트 트레이(TST)에 옮겨 심는다.

커스터머 트레이(KST)로부터 테스트 트레이(TST)로 피시험 IC를 옮겨 심은 IC 반송장치(304)로서는, 도 1에 도시한 바와 같이, 장치 기관(105)의 상부에 가립된 2개의 레일(301)과, 이 2개의 레일(301)에 의해 테스트 트레이(TST)와 커스터머 트레이(KST) 사이를 왕복(이, 반향(回, 往復)이라 함)할 수 있는 가동 암(302)과, 이 가동 암(302)에 의해 지지되며, 가동 암(302)에 따라 X 방향으로 이동할 수 있는 가동 헤드(303)를 구비하고 있다.

이 X-Y 반송장치(304)의 가동 헤드(303)에는 흡착 헤드가 결합하여 장치되어 있고, 이 흡착헤드가 흡착기를 흡인하면서 이동함으로써, 커스터머 트레이(KST)로부터 피시험 IC를 흡착하고, 이 피시험 IC를 테스트 트레이(TST)에 옮겨 심는다. 이렇게 한 흡착헤드는 가동 헤드(303)에 대하여 예를 들면 8개 정도 장치되어 있고, 한번에 8개의 피시험 IC를 테스트 트레이(TST)에 옮겨 심을 수 있다.

또한, 일반적인 커스터머 트레이(KST)에 있어서는 피시험 IC를 유지하기 위한 오목부가 피시험 IC의 형상보다도 비교적 크게 형성되어 있기 때문에, 커스터머 트레이(KST)에 격납된 상태에서 피시험 IC의 위치는 큰 오차를 갖고 있다. 따라서, 이 상태에서 피시험 IC를 흡착헤드에 흡착하여 직접 테스트 트레이(TST)로 운반하면, 테스트 트레이(TST)에 형성된 IC 수납 오목부에 정확하게 떨어지는 것이 곤란하게 된다. 이 때문에, 본 실시형태의 IC 시험장치(1)에서는 커스터머 트레이(KST)의 설치 위치와 테스트 트레이(TST) 사이에 프라사이저(305)라고 하는 IC 위치 수정수단이 설치되어 있다.

이 프라사이저(305)는 비교적 깊은 오목부를 가지고, 이 오목부의 주변이 경사면으로 둘러싸인 형상으로 되어 있으므로, 이 오목부에 흡착헤드에 흡착된 피시험 IC를 떨어뜨리면, 경사면에서 피시험 IC의 낙하위치가 수정되게 된다. 이에 따라, 8개의 피시험 IC의 상호 위치가 정확하게 정해져, 위치가 수정된 피시험 IC를 제자 흡착헤드로 흡착하여 테스트 트레이(TST)에 옮겨 심을 수 있고 테스트 트레이(TST)에 형성된 IC 수납 오목부에 정밀도가 높게 피시험 IC를 옮겨 심을 수 있다.

멤버부(100)

상승한 테스트 트레이(TST)는 로더부(300)에 피시험 IC를 심은 후 멤버부(100)로 보내지고, 상기 테스트 트레이(TST)에 탑재된 상태에서 각 피시험 IC가 테스트된다.

멤버부(100)는 테스트 트레이(TST)에 실은 피시험 IC에 특적으로 하는 고온 또는 저온의(열스트레스) 주는 항온조(101)와, 이 항온조(101)에서 열스트레스를 받은 상태에 있는 피시험 IC를 테스트 헤드에 접촉시키는 테스트 멤버(102)와, 테스트 멤버(102)에서 시험된 피시험 IC에서 받은 열스트레스를 제거하는 제염조(103)로 구성되어 있다.

제염조(103)에서는 항온조(101)에서 고온을 인가한 경우는 피시험 IC를 승중(300)에 의해 냉각하여 심은

으로 되오리고, 또 항온조(101)에서 예컨대 -30℃ 정도의 저온을 인가한 경우는 피시험 IC를 온중 또는 히터 등으로 가열하여 필요(필요)가 생기지 않는 정도의 온도까지 되오린다. 그리고, 이 제1한 피시험 IC는 엔로더부(400)로 반송한다.

도 1에 도시한 바와 같이, 챔버부(100)의 항온조(101) 및 제열조(103)는, 테스트 챔버(102)보다 위치 방 향으로 단면하도다 배치되어 있다. 또, 항온조(101)에는, 도 2에 개략적으로 도시한 바와 같이, 수직반송 장치(104)가 설치되어 있고, 테스트 챔버(102)가 챔버 폐쇄시의 시간 동안, 다수 개의 테스트 트레이(TST)가 이 수직반송장치에 지지되면서 대기한다. 주로 이 대기중에서 피시험 IC의 고온 또는 저온의 테스트스트레스가 인가된다.

테스트 챔버(102)에서는 그 중앙에 테스트 헤드(104)가 배치되고 테스트 헤드(104)의 위에서 테스트 트레이(TST)가 운반되므로, 피시험 IC의 입출력 단자(108)를 테스트 헤드(104)의 접속부(51)에 전기적으로 접속시킴으로써 테스트가 행해진다. 한 편, 시험이 종료한 테스트 트레이(TST)는 제열조(103)에서 제열되어 IC의 온도를 저온으로 되오린 후, 엔로더부(400)로 배출된다.

또, 항온조(101)와 제열조(103)의 상부간에는 도 1에 도시한 바와 같이 장치 기판(105)이 끼워져 있고, 이 장치 기판(105)에 테스트 트레이 반송장치(108)가 장치되어 있다. 이 장치 기판(105) 위에 설치된 테스트 트레이 반송장치(108)에 의해, 제열조(103)에서 배출된 테스트 트레이(TST)는 엔로더부(400) 및 로더부(300)로 하여 항온조(101)로 반송된다.

도 5는 큰 실시 형태에서 사용되는 테스트 트레이(TST)의 구조를 도시한 분해 사시도이다. 이 테스트 트레이(TST)는 사각형 플레이트(12)에 복수의 삽(13)이 평행 또는 등간격으로 설치되고, 마다 삽(13)의 양측 및 삽(13)과 대향하는 플레이트(12)의 주변(12a)에, 각각 복수의 장력편(14)이 등간격으로 붙여져 형성되어 있다. 마다 삽(13) 사이 및 삽(13)과 주변(12a) 사이와 2개의 장력편(14)에 의해 인서트 수납부(15)가 구성되어 있다.

각 인서트 수납부(15)에는, 각각 1개의 인서트(16)이 수납되도록 되어 있고, 이 인서트(16)은 잠금개(fastener)(17)를 이용하여 2개의 장력편(14)에 클로워팅(floating)상태로 부착되어 있다. 이 때문에 인서트(16)의 양단부에는 각각 장력편(14)의 장력용 구멍(21)이 형성되어 있다. 이러한 인서트(16)은 예를 들면 테스트 트레이(TST)에 16×4개 정도 부착되어 있다.

또, 각 인서트(16)는 등원 형상, 등원 치수로 되어 있고, 각각의 인서트(16)에는 피시험 IC가 수납된다. 인서트(16)의 IC 수용부(19)는 수용하는 피시험 IC의 형상에 따라 고정되어 도 5에 도시한 예에서는 사각형의 오목부로 되어 있다.

여기에서, 테스트 헤드(104)에 대해서 한번에 접속된 피시험 IC는, 도 5에 도시한 바와 같이 4행×16열로 배열된 피시험 IC이며, 예를 들면 4행 4열의 피시험 IC가 동시에 시험된다. 즉, 첫번째 시험에서는 일열째부터 4행 4열째까지 16개의 피시험 IC를 테스트 헤드(104)의 접속부(51)에 접속하여 시험하고, 두 번째 시험에서는 테스트 트레이(TST)를 1행분 이동시켜 4행째부터 4행 4열째까지의 피시험 IC를 같은 방법으로 시험하고, 이것을 4회 반복하여 모든 피시험 IC를 시험한다. 이 시험의 결과는 테스트 트레이(TST)에 인접한 예컨대 칩 번호와 테스트 트레이(TST) 내부에서 분당된 피시험 IC의 번호로 결정되므로 주소에 기억된다.

도 6은 등 IC 시험장치의 테스트 헤드(104)에 있어서 푸셔(30), 인서트(16)(테스트 트레이(TST)측), 소켓 가이드(40) 및 삽(51)을 가지는 소켓(50)의 구조를 나타내는 분해 사시도, 도 7은 도 6의 VI부의 확대 사시도, 도 10은 도 6의 단면도, 도 11은 테스트 헤드(104)에 있어서 푸셔(30)가 하강한 상태를 나타내는 단면도이다.

푸셔(30)는 테스트 헤드(104)의 상측에 설치되어 있고, 도시하지 않은 2축 구동장치(예컨대 유체압 실린더)에 의해 2축 방향으로 상하 이동한다. 이 푸셔(30)는, 한 번에 테스트되는 피시험 IC의 간격에 따라 삽(51) 테스트 트레이에 있어서는 4행 간격으로 4행의 한자(16개) 2축 구동장치에 부착되어 있다.

푸셔(30)의 종단에는 피시험 IC를 밀착시키기 위해 압입자(押入子)(31)가 형성되어 있고, 그 양측에는 흡착하는 인서트(16)과 가이드 구멍(20) 및 소켓 가이드(40)의 가이드 부시(41)에 삽입되는 가이드 핀(32)이 설치되어 있다. 또, 압입자(31)와 가이드 핀(32)의 사이에는 상기 푸셔(30)가 2축 구동 수단(예컨대)에 의해 하강한 때 하강을 규제하기 위해 스톱퍼 가이드(33)가 설치되어 있고, 이 스톱퍼 가이드(33)는, 소켓 가이드(40)의 스톱퍼면(42)에 맞닿음으로써, 피시험 IC를 파괴하지 않는 적절한 압력으로 밀착시키는 푸셔의 하강 위치를 결정한다.

인서트(16)는 도 6에 있어서도 설명한 바와 같이 테스트 트레이(TST)에 대하여 잠금개(17)를 사용하여 고정되어 있지만, 그 양측에는 상술한 푸셔(30)의 가이드 핀(32) 및 소켓 가이드(40)의 가이드 부시(41)가 삽하 각각에서 삽입되는 가이드 구멍(20)이 형성되어 있다. 도 11의 푸셔 하강 상태로 도시한 바와 같이, 도 6에 있어서 좌측의 가이드 구멍(20)은 상반분이 푸셔(30)의 가이드 핀(32)에 삽입되어 위치 결정이 행해 지는 소켓 가이드(40) 구멍으로 되고, 하반분이 소켓 가이드(40)의 가이드 부시(41)에 삽입되어 위치 결정이 행해지는 대경(大徑) 구멍으로 되어 있다. 이와 관련하여, 도 6에 있어서 우측의 가이드 구멍(20)과 푸셔(30)의 가이드 핀(32) 및 소켓 가이드(40)의 가이드 부시(41)와는 유동가능하게 끼워진 상태로 되어 있다.

인서트(16)의 종단에는 IC 수용부(19)가 형성되어 있고, 여기에 피시험 IC를 떨어뜨림으로써 테스트 트레이(TST)에 피시험 IC가 쌓이게 된다.

한편, 테스트 헤드(104)에 고정된 소켓 가이드(40)의 양측에는 푸셔(30)의 2개의 가이드 핀(32)이 삽입되어 마다 2개의 가이드 핀(32) 사이에서 위치 결정을 하기 위한 가이드 부시(41)가 설치되어 있고, 이 가이드 부시(41)의 좌측의 것은 인서트(15)와의 사이에서도 위치 결정을 행한다.

소켓 가이드(40)의 하측에는 복수의 접촉 핀(51)을 가지는 소켓(50)이 고정되어 있고, 이 접촉 핀(51)은 도시되지 않은 스프링에 의해 원복 방향으로 탄성적으로 가압되어 있다. 따라서, 피시험 IC를 밀착시켜도 접촉 핀(51)이 소켓(50)의 상면까지 후퇴하는 한편, 시험핀 IC의 다스 경사되어 밀착되어도 모든 단자(18)에 접촉 핀(51)이 접촉할 수 있게 되어 있다. 또, 접촉 핀(51)의 선단에는 볼 그리드 트레이스 IC의 밑면(18)을 수용하는 대략 원주 형상 오목부(51a;도 13 참조, 종래와 동일 형상임)가 형성되어 있다.

특히, 본 실시 형태에서는 도 6 및 도 7에 도시한 바와 같이, 피시험 IC의 패키지 몰드(PM)의 외주면을 규제함으로써, 이것을 위치 결정하는 디바이스 가이드(5)

2) 가이드 수단)가 소켓(50)에 설치되어 있다. 이 디바이스 가이드(52)는 도 7에 도시한 바와 같이, 피시험 IC의 네 모퉁이 근방을 감싸고 있는 탭(taper)면을 가지는 벽부(52a)를 가지고 있고, 그 벽부 사이에는 도려내어져 있다. 이에 따라 인서트(16)의 IC 수용부(19)가 피시험 IC를 유지한 상태에서, 상기 디바이스 가이드(52)에 피시험 IC를 수용시킬 수 있다.

디바이스 가이드(52)는, 소켓(50)에 일체적으로 형성해도 되고, 소켓(50)과의 치수 정밀도를 확보할 수 있으면 따로 형성한 후 집합해도 된다. 또, 등 도에 도시한 디바이스 가이드(52)의 구체적인 형상은 특별히 한정되지 않고, 본 발명의 가이드의 수단은 이 이외에도 여러 종류의 형태를 생각할 수 있다.

도 8 및 도 9에 도시한 또 다른 실시 형태는, 디바이스 가이드(52)를 소켓(50)이 아닌 소켓 가이드(40)측에 설치한 예로, 이 디바이스 가이드(52)도 8a형 등 피시험 IC의 패키지 몰드(PM)의 외주면을 규제함으로써 위치 결정한다. 이 경우에도, 디바이스 가이드(52)는 소켓 가이드(40)에 일체적으로 형성해도 되고, 소켓 가이드(40)와의 치수 정밀도를 확보할 수 있으면 따로 형성한 후 이것을 집합해도 된다. 또, 등 도에 도시한 디바이스 가이드(52)의 구체적인 형상은 특별히 한정되지 않는다.

20

엔로더부(400)

엔로더부(400)에도 로더부(300)에 설치된 X-Y 반송 장치(304)와 동일 구조인 X-Y 반송 장치(404, 404)가 설치되어, 이 X-Y 반송 장치(404, 404)에 의해 엔로더부

(400)에 운반된 테스트 트레이스(TST)로부터 시험, 종료 IC 커스터머 트레이스(KST)에 옮겨 실어진다.

도 10에 도시한 바와 같이, 엔로더부(400)의 장치 기관(105)에는 상기 엔로더부(400)에 운반된 커스터머 트레이스(KST)가 장치 기관(105)의 상면에 접하도록 배치되는 한 쌍의 항부(406, 406)가 두 쌍 개설되어 있다.

또, 도시하지는 않았지만 각각의 항부(406)의 하측에는 커스터머 트레이스(K

ST)를 송출시키기 위해 송출 테이플이 설치되어져 있고, 여기에서는 시험 종료 피시험 IC가 옮겨 실어져 가는 커스터머 트레이스(KST)를 실어 하강하고, 이 하강한 트레이스를 트레이스 미송 양(205)에 전달한다.

미와 관련하여, 본 실시 형태의 IC 시험 장치(1)에서는, 구분가능한 범주는 최대 8종류인 8지만, 엔로더부(400)의 항부(406)에는 최대 4개의 커스터머 트레이스(KST)밖에 배치할 수 없다. 따라서, 실시상으로 분류할 수 있는 범주는 4종류로 규제된다. 일반적으로, 양쪽을 고속응답소자, 중속응답소자, 저속응답소자 3개의 범주로 분류하고 이것에 범응답을 더하여 4개의 범주로 송출하지만, 예를 들면 재시험을 필요로 하는 것 등과 같이 이들의 범주에 속하지 않는 범주가 생기는 경우도 있다.

미와 같이, 엔로더부(400)의 항부(406)에 배치된 4개의 커스터머 트레이스

(KST)에 할당된 범주 이외의 범주로 분류된 피시험 IC가 발생하는 경우에는, 엔로더부(400)에서 1개의 커스터머 트레이스(KST)를 IC 격납부(200)로 되돌리고, 이것의 대신에 새로이 발생한 범주의 피시험 IC를 격납해야 할 커스터머 트레이스(KST)를 엔로더부(400)로 전송하고, 그 피시험 IC를 격납하면 된다. 단, 구분 작업의 도중에 커스터머 트레이스(KST)를 바꾸어 넣으면 그 사이는 구분 작업을 중단하지 않으면 안 되며, 처리량(through put)이 저하하는 문제가 있다. 이 때문에, 본 실시 형태의 IC 시험 장치(1)에서는, 엔로더부(400)의 커스터머 트레이스(KST)와 항부(406)의 사이에 버퍼부(buffer)(405)를 설치하고, 이 버퍼부(405)에는 드물게 발생하는 범주의 피시험 IC를 일시적으로 보관하도록 하고 있다.

예를 들면, 버퍼부(405)로서는 20~30개 정도의 피시험 IC를 격납할 수 있는 용량의 것을 설치함과 동시에, 버퍼부(405)의 각 IC 격납 위치에 격납되는 IC의 범주를 각각 기억하는 메모리를 설치하고 버퍼부(405)에 일시적으로 보관한 피시험 IC의 범주와 위치를 각 피시험 IC마다 기억시켜 둔다. 그리고, 구분 작업의 사이 또는 버퍼부(405)가 가득찬 시점에서, 버퍼부(405)에 보관되어 있는 피시험 IC가 속하는 범주의 커스터머 트레이스(KST)를 IC 격납부(200)에서 불러내어, 그 커스터머 트레이스(KST)에 수납한다. 이 때, 버퍼부(405)에 일시적으로 보관되는 피시험 IC가 복수의 범주인 경우도 있는 바, 이러한 때는 커스터머 트레이스(KST)를 불러낼 때에 한 번에 복수의 커스터머 트레이스(KST)를 엔로더부(400)의 항부(406)로 불러내면 된다.

다음으로 작용을 설명한다.

첨배부(100)내의 테스트 공정에 있어서, 피시험 IC는 도 5에 도시한 테스트 트레이스(TST)에 탑재된 상태, 보다 상세하게는 개개의 피시험 IC는 등 도의 인서트

(16)의 IC 수용부(19)에 떨어뜨려진 상태에서, 테스트 헤드(104)의 상부로 반송된다.

테스트 트레이스(TST)가 테스트 헤드(104)에서 정지하면, Z축 구동 장치가 작동하기 시작하여, 도 10~도 11에 도시한 하나의 푸셔(30)가 8H의 인서트에 대해 하강한다. 그리고, 푸셔(30)의 2개의 가이드 핀(32, 32)은 인서트(16)의 가이드 구멍(20, 20)을 각각 관통하고, 또 소켓 가이드(40)와 가이드 부시(41, 41)에

끼워 맞춰진다.

도 11에 그 상태를 도시하는 바, 테스트 헤드(즉, IC 시험 장치(1)측)로 고정된 소켓(50) 및 소켓 가이드(40)에 대해서, 인서트(16) 및 푸셔(30)는 어느 정도의 위치 오차를 가지고 있지만, 푸셔(30) 좌측의 가이드 핀(32)이 인서트(16)의 가이드 구멍(20)의 소경 구멍에 끼워 맞추어짐으로써 푸셔(30)와 인서트(16)의 위치 맞춤이 행해져, 그 결과 푸셔(30)의 압입자(31)는 적절한 위치에서 피시험 IC를 밀착시킬 수 있다.

또, 인서트(16)의 좌측의 가이드 구멍(20)의 대경 구멍이 소켓 가이드(40)의 좌측의 가이드 부시(41)에 끼워 맞추어짐으로써 인서트(16)와 소켓 가이드(40)의 위치 결합이 행해지고, 이것에 의해 피시험 IC와 접속 핀(51)의 위치 정밀도를 높일 수 있다.

특히 본 실시 형태 및 그 외의 변형예에서는, 도 11에 도시한 바와 같이 인서트(16)의 IC 수용부(19)에 유지된 피시험 IC가, 푸셔(30)에 의해 밀착될 때에 소켓(50) 또는 소켓 가이드(40)에 설치된 디바이스 가이드(52)의 배부(52a)로 끌려 들어가 위치 결정(자세 수정)되기 때문에, 입력 단자인 뱀납 볼(18)과 접속 핀(51)의 위치 결합을 높은 정밀도에서 실현할 수 있다.

이와 관련하여, 도 11에 도시한 상태에서 피시험 IC의 뱀납 볼(18)과 접속 핀(51)의 위치 정밀도가 충분하게 되므로, 그 외의 위치 결합을 행하지 않고 스톱퍼 가이드(33)가 스톱퍼 면(42)에 맞닿을 때까지 푸셔(30)를 더 하강시켜, 압입자(31)에 의해 피시험 IC를 접속 핀(51)에 접속시킨다. 이 상태에서 정지하여 소정의 테스트를 실행한다.

또, 이상 설명한 실시 형태는 본 발명의 이해를 쉽게 하기 위해 기재된 것으로, 본 발명을 한정하기 위해 기재한 것은 아니다. 따라서, 상기의 실시 형태에 개시된 각 요소는, 본 발명의 기술적 범위에 속하는 모든 설계, 변경과 균등물도 포함하는 취지이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 피시험 IC와 접속부의 사이에 복수의 부재를 개재시켜 간접적으로 위치 결정하는 것이 아니라, 피시험 IC를 위치 결정하는 가이드 수단을 직접적으로 접속부에 설치하고 있기 때문에, 피시험 IC와 접속부 사이에 생기는 위치 어긋남으로써, 피시험 IC와 가이드 수단의 위치 어긋남(A_g) 및 가이드 수단과 접속부 자체의 위치 어긋남(A_f)만으로 이루어진다. 여기에서, 가이드 수단과 접속부 자체의 위치 어긋남에 대해서는 일체의 성형 등의 기술을 채용함으로써 현저하게 치수 정밀도를 향상시킬 수 있다. 또, 피시험 IC와 가이드 수단의 위치 어긋남에 대해서도 가이드 수단은 성형 기술에 의해 치수 정밀도를 높일 수 있다.

이와 같이, 피시험 IC와 접속부 사이에 생기는 오차가 현저히 저감되므로, 접속부에 대한 피시험 IC의 입력 출력 단자의 위치 결정 정밀도가 현저히 향상되고, 그 결과 접속부에 의한 입력 출력 단자의 손상 등을 방지할 수 있다.

(5) 청구의 범위

청구항 1

피시험 IC의 입력 출력 단자를 트레이에 탑재시킨 상태에서 테스트 헤드의 접속부에 밀착시켜 테스트를 하는 IC 시험 장치에 있어서,

상기 접속부에는 상기 피시험 IC에 접속하여 이것을 위치 결정하는 가이드 수단이 설치되어 있는 것을 특징으로 하는 IC 시험 장치.

청구항 2

제 1항에 있어서, 상기 가이드 수단은 접속 핀이 설치된 소켓 또는 상기 소켓의 위치 맞춤을 행하는 소켓 가이드의 어딘가에 설치되어 있는 것을 특징으로 하는 IC 시험 장치.

청구항 3

제 1항 또는 제 2항에 있어서, 상기 피시험 IC의 입력 출력 단자가 볼 형상 단자인 것을 특징으로 하는 IC 시험 장치.

FIG. 1

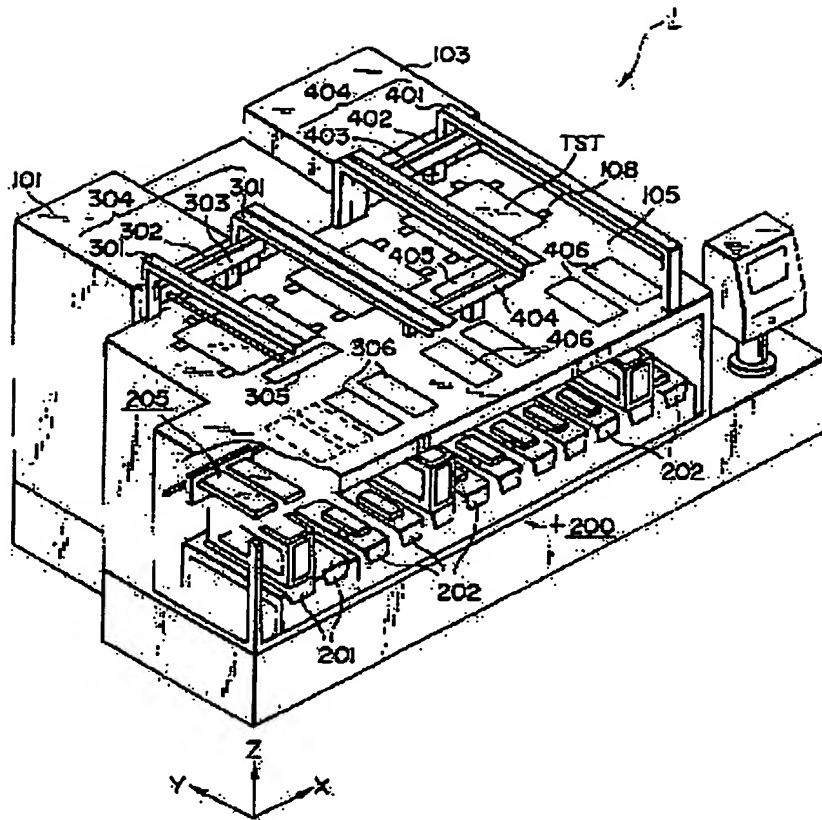
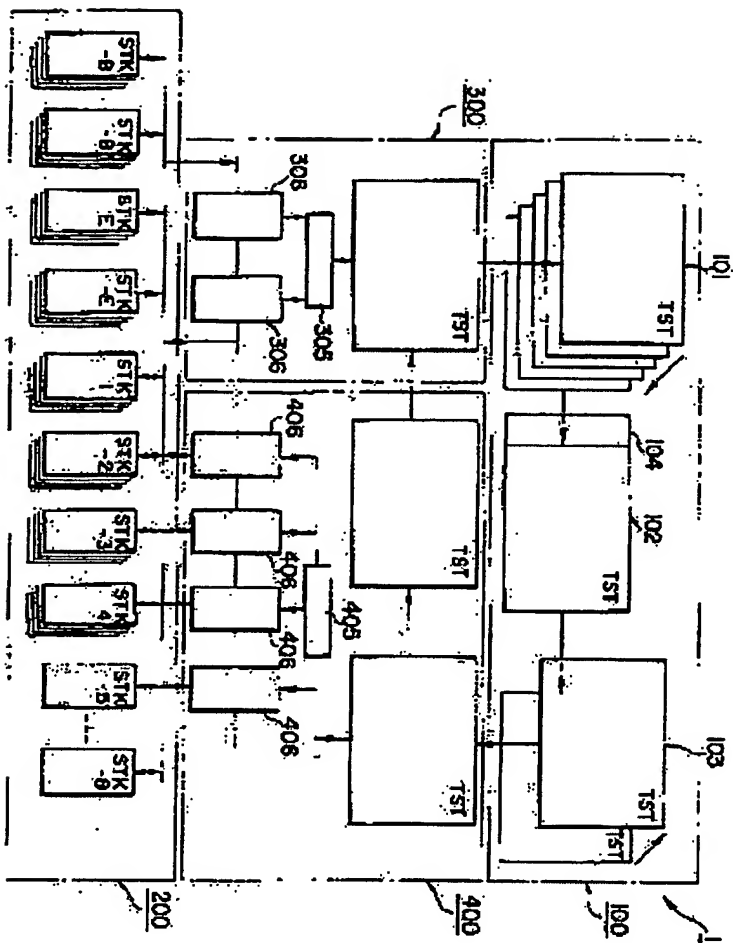


FIG. 2



5B18

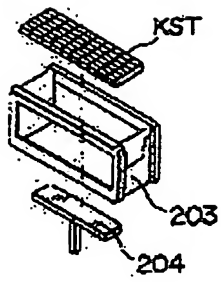


FIG 4

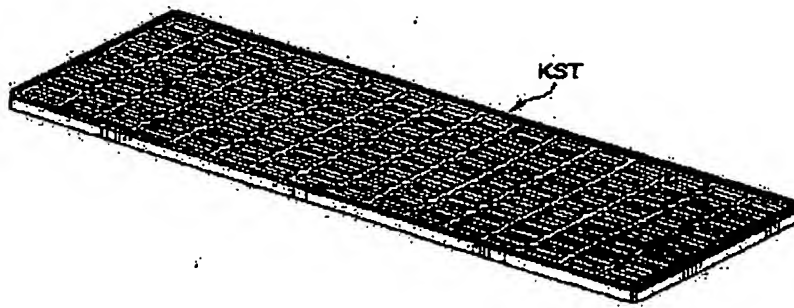
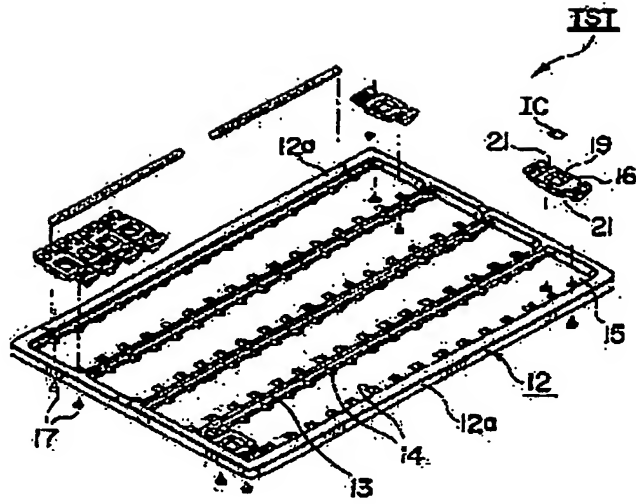
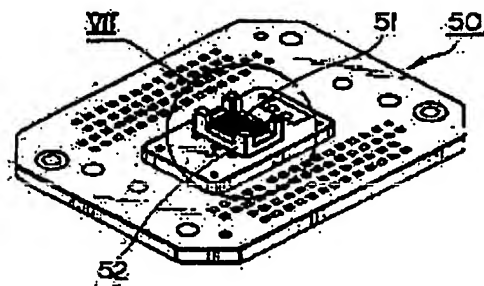
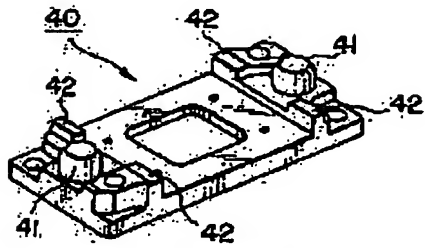
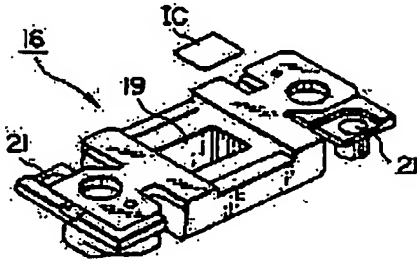
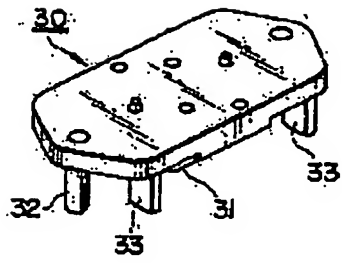


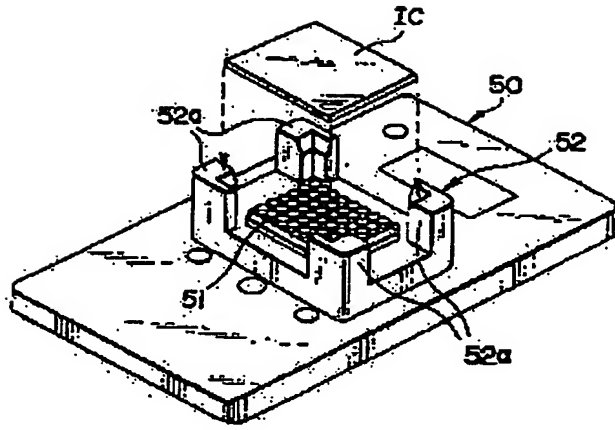
FIG 5



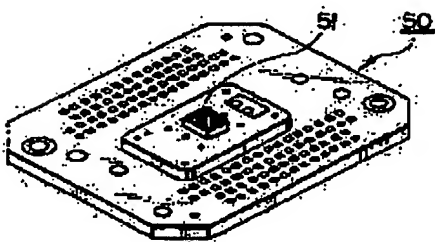
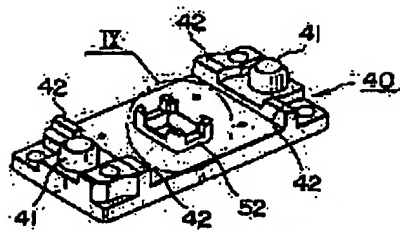
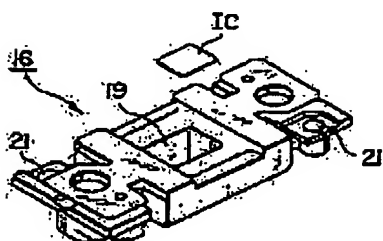
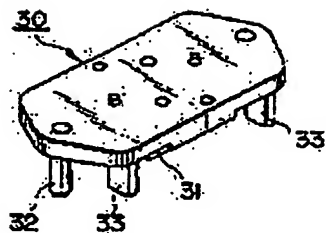
SB6



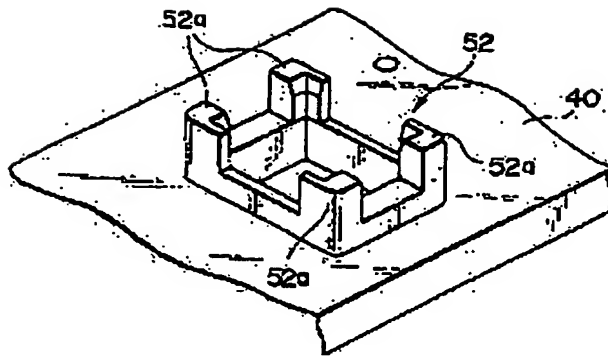
SB7



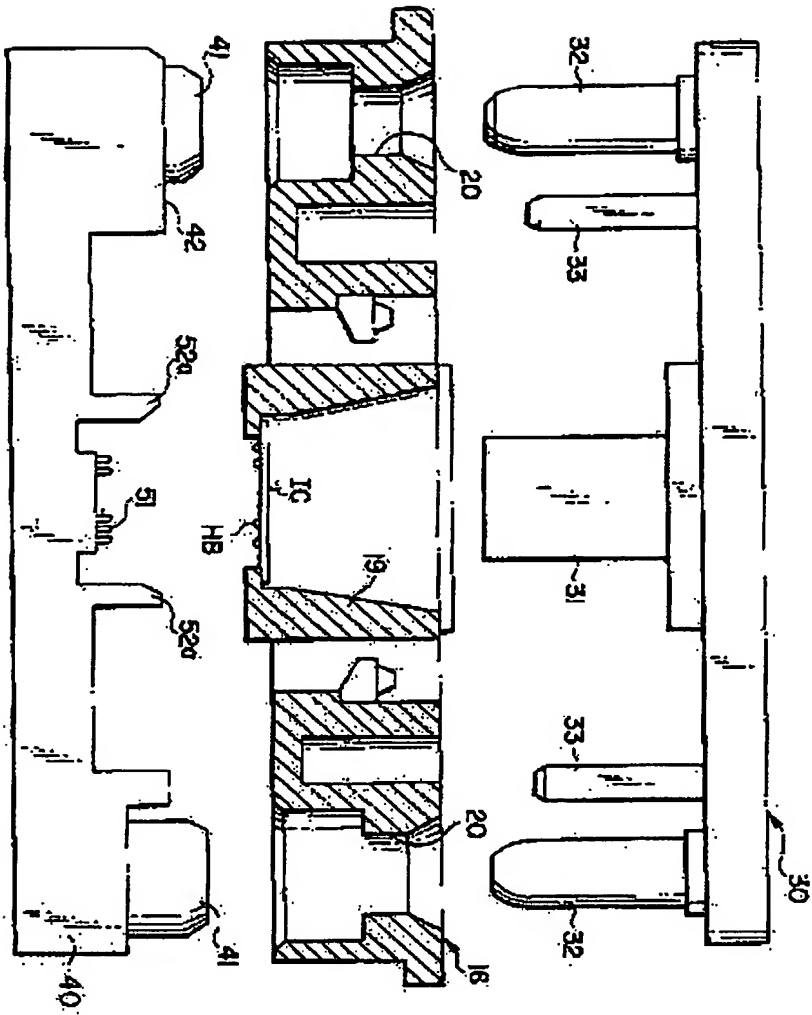
도 8a



도 8b



5010



5011

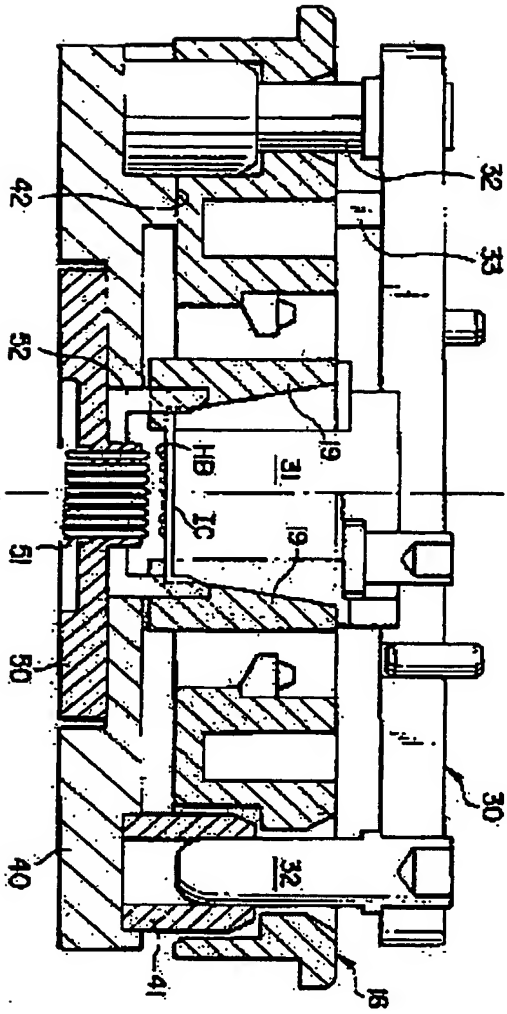
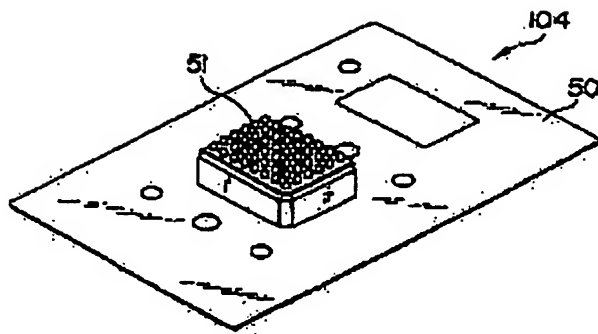
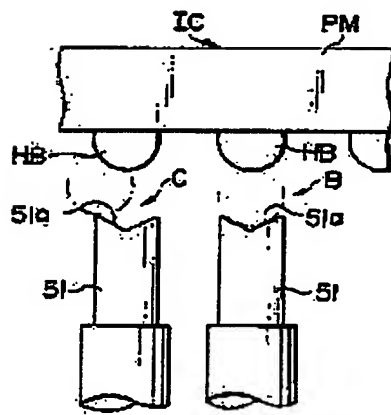


FIG. 12



5019.



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.